

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PAT-NO: JP410177560A
DOCUMENT-IDENTIFIER: JP 10177560 A
TITLE: STORAGE DEVICE
PUBN-DATE: June 30, 1998

INVENTOR-INFORMATION:

NAME	COUNTRY
MARUYAMA, TERUYUKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
RICOH CO LTD	N/A

APPL-NO: JP08336638
APPL-DATE: December 17, 1996

INT-CL (IPC): G06F015/16

ABSTRACT:

PROBLEM TO BE SOLVED: To realize atomic operation which is required for the synchronous operation of a plurality of processors without locking a bus.

SOLUTION: Such a pseudo-memory space that is seen as if the space overlaps a real memory space is generated in an address space which does not overlap the real memory space presupposing such a storage device that is connected to a multiprocessor system through a split type bus and performs atomic operation which is indispensable to the synchronous operation of a plurality of processors using a semaphore/lock variable. When the memory access request of a bus master fetched through a bus is made to the pseudo- memory space, the request is recognized as an atomic operation starting access request (S1) and the identifier of the bus master

is stored and held (S7). When the identifier of a bus master successively making a memory access request coincides with the stored and held identifier (S15 and S16), the request is recognized as an atomic operation terminating access request (S17 and S18) and, when the identifiers do not coincide with each other, the memory access request is not accepted and the reexecution of the request is requested (S14).

COPYRIGHT: (C)1998,JPO

(11)特許出願公開番号

(43)公開日 平成10年(1998)6月30日

360R

(74)代理人 弁理士 柏木 明 (外1名)

[illegible]

【特許請求の範囲】

【請求項1】 マルチプロセッサシステムにスプリット型のバスを介して接続され、セマフォ/ロック変数を用いた同期操作に不可欠なアトミック操作が行われる記憶装置において、

実メモリ空間と重ならないアドレス空間に実メモリが重複してみえるようにする疑似メモリ空間を生成するデコード手段と、

バスを介して取り込まれたバスマスタからのメモリアクセス要求が実メモリ空間に対するものか疑似メモリ空間に対するものかを識別する識別手段と、

通常モード時、メモリアクセス要求が疑似メモリ空間に対するものと識別された場合にそのメモリアクセス要求をアトミック操作開始アクセス要求と認識し、アトミック操作モードに動作モードを移行させる第1の認識手段と、

アトミック操作開始アクセス要求を行ったバスマスタの識別子を記憶保持する保持手段と、

アトミック操作モード時、メモリアクセス要求をするバスマスタの識別子が保持手段に保持された識別子と一致する場合にそのメモリアクセス要求をアトミック操作終了アクセス要求と認識し、動作モードを通常モードに復帰させる第2の認識手段と、

アトミック操作モード時、メモリアクセス要求が第2の認識手段の認識条件に合致しない場合にメモリアクセス要求を受け付けず、アクセス要求の再実行を要求する禁止手段と、を備えることを特徴とする記憶装置。

【請求項2】 禁止手段は、メモリアクセスを要求するバスマスタがプロセッサかどうかを判定し、プロセッサでないと判定した場合にはメモリアクセスを許容することを特徴とする請求項1記載の記憶装置。

【請求項3】 禁止手段は、メモリアクセス要求が疑似メモリ空間に対する場合にのみメモリアクセス要求を受け付けないことを特徴とする請求項1記載の記憶装置。

【請求項4】 保持手段は、アトミック操作開始アクセス要求のアクセスアドレスに対応する実メモリアドレスを記憶保持し、禁止手段は、メモリアクセス要求がアトミック操作開始アクセス要求のアクセスアドレスに対応する実メモリアドレスに対する場合にのみメモリアクセス要求を受け付けないことを特徴とする請求項1記載の記憶装置。

【請求項5】 アトミック操作開始アクセス要求がなされてからアトミック操作終了アクセス要求がなされるまでのタイムアウト時間をカウントするタイマ手段と、タイムアウト時間経過後は強制的にアトミック操作モードを終了させる強制終了手段と、を備えることを特徴とする請求項1記載の記憶装置。

【請求項6】 マルチプロセッサシステムにスプリット型のバスを介して接続され、セマフォ/ロック変数を用いた同期操作に不可欠なアトミック操作が行われる記憶

装置において、

実メモリ空間と重ならないアドレス空間に実メモリが重複してみえるようにする疑似メモリ空間を生成するデコード手段と、

バスを介して取り込まれたメモリアクセス要求のアクセスアドレス空間を識別し、疑似メモリ空間に対するメモリアクセス要求をリード・モディファイ・ライト・アクセス要求として識別するアトミック操作識別手段と、

リード・モディファイ・ライト・アクセス要求として識別されたメモリアクセス要求のアクセスアドレスに対応する実メモリアドレスを読み出し、零以外の数値を実メモリアドレスに対して書き込むと共に、メモリアクセス要求をしたバスマスタにリードデータを返送する返送手段と、を備えることを特徴とする記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、結合型のマルチプロセッサシステムにスプリット型のバスを介して接続され、セマフォ/ロック変数を用いた同期操作に不可欠なアトミック操作が行われる記憶装置に関する。

【0002】

【従来の技術】近年、システム内に複数のプロセッサを用意し、各プロセッサを結合して構成されるマルチプロセッサシステムが一般に用いられている。このようなマルチプロセッサシステムは、比較的少数のプロセッサを密結合することにより構成され、複数の機能を各プロセッサに割り当てることによって各プロセッサの負担を軽減し、各プロセッサの同時並列動作によって処理能力の向上を図っている。

【0003】ここで、各プロセッサを結合する方式には各種の方式があるが、そのうちの一つに各プロセッサをバス結合したバス結合方式がある。このようなバス結合方式では、バス上に各プロセッサが任意にアクセスすることができる主記憶が用意され、各プロセッサは主記憶に対してアクセスするようになっている。ところが、バス結合方式のマルチプロセッサシステムでは、独立して動作する複数のプロセッサが共有のシステムバスをアクセスするため、バスアクセスの競合によってトラブルが発生しないように調停機能（アービトレーション機能）が一般に設けられている。

【0004】一方、主記憶を共有する密結合型のマルチプロセッサシステムは、各プロセッサ間の同期操作を必要とする。そこで、このようなマルチプロセッサシステムでは、主記憶上にセマフォ/ロック変数と呼ばれる変数において各プロセッサ間の同期操作を行っている。例えば、主記憶のある領域中の数バイトを一続きの意味あるデータとして使用している場合、その一部が書き換えられるとデータは意味をなさなくなるし、そのデータが

他に使用されては具合が悪い。そこで、主記憶上にセマフォ/ロック変数という変数をおき、一続きのデータの書き換えを行おうとするプロセッサはこの変数に対してアクセスし、一続きのデータが書き換え中でないことを確認してからセマフォ/ロック変数を書き換えてデータ書き換え中であることを宣言する。このため、各プロセッサ間の同期操作に際しては、主記憶に格納されたセマフォ/ロック変数に対して確認、書き換えという一連の操作が必要となる。このような一連の操作をアトミック操作（不可分操作）という。

【0005】ところが、セマフォ/ロック変数を用いた各プロセッサ間の同期操作に際して必要となるアトミック操作では、確認及び書き換えという主記憶に対する2回の操作の間に同一のセマフォ/ロック変数に対する操作が行われるとデータの一貫性が崩れる危険性がある。このため、従来、主記憶に対する2回の操作が不可分の操作となるような工夫をし、2回の操作の間に他のプロセッサの操作が介入しないようにしている。例えば、特開平3-74759号公報には、主記憶に対する2回の操作の間はバスをロックし、その間に主記憶に対する他のプロセッサの操作が発生しないようにした発明が開示されている。

【0006】

【発明が解決しようとする課題】近年、密結合型のマルチプロセッサシステムでは、プロセッサによるバスの占有率を低減させるために、アドレスとデータを分離させたスプリット型のバスを用いることが多くなってきている。しかし、同期操作に用いるアトミック操作では、例えば特開平3-74759号公報に開示されているように、主記憶に対する2回の操作の間にバスロック等の手法で他のプロセッサの操作が介入しないようにする必要がある。このため、アトミック操作中はバスが1つのプロセッサに占有され、他のプロセッサ等のバス使用が禁止される。したがって、同期操作が多用されるシステムでは、スプリット型のバスの利点が生かされないという問題がある。

【0007】

【課題を解決するための手段】請求項1記載の発明は、マルチプロセッサシステムにスプリット型のバスを介して接続され、セマフォ/ロック変数を用いた同期操作に不可欠なアトミック操作が行われる記憶装置において、実メモリ空間と重ならないアドレス空間に実メモリが重複して見えるようにする疑似メモリ空間を生成するデコード手段と、バスを介して取り込まれたバスマスタからのメモリアクセス要求が実メモリ空間に対するものか疑似メモリ空間に対するものかを識別する識別手段と、通常モード時、メモリアクセス要求が疑似メモリ空間に対するものと識別された場合にそのメモリアクセス要求をアトミック操作開始アクセス要求と認識し、アトミック操作モードに動作モードを移行させる第1の認識手段

と、アトミック操作開始アクセス要求を行ったバスマスタの識別子を記憶保持する保持手段と、アトミック操作モード時、メモリアクセス要求をするバスマスタの識別子が保持手段に保持された識別子と一致する場合にそのメモリアクセス要求をアトミック操作終了アクセス要求と認識し、動作モードを通常モードに復帰させる第2の認識手段と、アトミック操作モード時、メモリアクセス要求が第2の認識手段の認識条件に合致しない場合にメモリアクセス要求を受け付けず、アクセス要求の再実行を要求する禁止手段とを備える。したがって、アトミック操作開始アクセス要求が認識されて実行されるアトミック操作モード中は、アトミック操作開始アクセス要求をしたプロセッサ以外のプロセッサやデバイスのメモリアクセス要求が拒絶され、アトミック操作が正しく行われる。この場合、バスがロックされるわけではないので、他のプロセッサやプロセッサ以外のバスマスタのバス使用が損なわれることがなく、スプリット型のバスの利点が十分に生かされる。

【0008】請求項2記載の発明では、請求項1記載の発明において、禁止手段は、メモリアクセスを要求するバスマスタがプロセッサかどうかを判定し、プロセッサでないと判定した場合にはメモリアクセスを許容する。したがって、アトミック操作モード中でもプロセッサ以外のバスマスタのメモリアクセスが可能となり、効率良くメモリが使用される。

【0009】請求項3記載の発明では、請求項1記載の発明において、禁止手段は、メモリアクセス要求が疑似メモリ空間に対する場合にのみメモリアクセス要求を受け付けない。メモリアクセス要求が疑似メモリ空間に対するものでなければ疑似メモリ空間に記憶保持されたデータが書き換えられないため、そのメモリアクセス要求を拒絶する必要がある。したがって、アトミック操作モード中でも実メモリ空間に対するメモリアクセスが可能となり、効率良くメモリが使用される。

【0010】請求項4記載の発明では、請求項1記載の発明において、保持手段は、アトミック操作開始アクセス要求のアクセスアドレスに対応する実メモリアドレスを記憶保持し、禁止手段は、メモリアクセス要求がアトミック操作開始アクセス要求のアクセスアドレスに対応する実メモリアドレスに対する場合にのみメモリアクセス要求を受け付けない。メモリアクセス要求が疑似メモリ空間に対するものでなければ疑似メモリ空間に記憶保持されたデータが書き換えられないため、そのメモリアクセス要求を拒絶する必要がある。そこで、請求項4記載の発明では、アトミック操作モード時、疑似メモリ空間に対するメモリアクセス要求となるようなメモリアクセス要求、つまり、アトミック操作開始アクセス要求のアクセスアドレスに対応する実メモリアドレスのメモリアクセス要求以外のメモリアクセス要求を許容する。これにより、効率よくメモリが使用される。

【0011】請求項5記載の発明は、請求項1記載の発明において、アトミック操作開始アクセス要求がなされてからアトミック操作終了アクセス要求がなされるまでのタイムアウト時間をカウントするタイマ手段と、タイムアウト時間経過後は強制的にアトミック操作モードを終了させる強制終了手段とを備える。これにより、不適当なメモリアクセス要求によってアトミック操作が長時間にわたり不必要に継続されることによって起こりうるシステムのダウンが防止される。

【0012】請求項6記載の発明は、マルチプロセッサシステムにスプリット型のバスを介して接続され、セマフォ/ロック変数を用いた同期操作に不可欠なアトミック操作が行われる記憶装置において、実メモリ空間と重ならないアドレス空間に実メモリが重複してみえるようにする疑似メモリ空間を生成するデコード手段と、バスを介して取り込まれたメモリアクセス要求のアクセスアドレス空間を識別し、疑似メモリ空間に対するメモリリードアクセス要求をリード・モディファイ・ライト・アクセス要求として識別するアトミック操作識別手段と、リード・モディファイ・ライト・アクセス要求として識別されたメモリリードアクセス要求のアクセスアドレスに対応する実メモリアドレスを読み出し、零以外の数値を実メモリアドレスに対して書き込むと共に、メモリリードアクセス要求をしたバスマスタにリードデータを返送する返送手段とを備える。したがって、簡単な処理によってメモリに対するテスト・アンド・セットが実行される。

【0013】

【発明の実施の形態】本発明の第一の実施の形態を図1ないし図3に基づいて説明する。

【0014】図1は、各部の電気的接続のブロック図である。本実施の形態の記憶装置1は、図示しないマルチプロセッサシステムにバスとしてスプリット型のシステムバス2を介して接続されている。具体的には、システムバス2に対し、システムバスI/F3を介して情報を相互通信し、プロセッサ構成の応答制御部4を介して情報を一方向通信するように接続されている。システムバスI/F3は、システムバス2からのアクセス要求を受け付け、データ、制御情報、アクセスアドレス、及びマスタIDを記憶装置1内の各部に送信する。ここで、「データ」というのは、記憶装置1の主要部をなすRAM5に記憶保持させる情報であり、「制御情報」というのは、RAM5に対する制御内容を指定する情報であり、「アクセスアドレス」というのは、RAM5に対するアクセス領域を指定するアドレス情報であり、「マスタID」というのは、バスマスタの識別子、つまり、同一性情報である。また、RAM5はDRAMやSDRAMによって構成されている。

【0015】記憶装置1内にはプロセッサ構成のメモリ制御部6が設けられている。このメモリ制御部6は、R

AM5に対してメモリ制御信号を送信し、これによってRAM5を制御する。つまり、メモリ制御部6は、システムバスI/F3から制御信号とアクセスアドレスとを受け、これらの信号に基づいてメモリ制御信号を生成し、これをRAM5に送信する。この際、システムバスI/F3からのアクセスアドレスは一旦デコード手段としてのデコーダ7に取り込まれる。このデコーダ7は、アクセスアドレス信号が実メモリ空間に対するものかRAM5内の実メモリ空間と重ならないアドレス空間に実メモリが重複してみえるように生成される疑似メモリ空間に対するものかを区別してメモリ制御部6に送信する(図2参照)。つまり、デコーダ7は、システムバス2を介してシステムバスI/F3より取り込まれたバスマスタからのメモリアクセス信号の上位ビットに割り当てられたアクセス空間情報に応じたデコード信号を実メモリ信号又は疑似メモリ信号として出力する。そして、これを受けたメモリ制御部6は、そのメモリアクセス信号が実メモリ空間に対する信号か疑似メモリ空間に対する信号かを識別し(識別手段)、各アクセスアドレス信号に従いRAM5のアクセスアドレス指定を行う。ここで、「疑似メモリ空間」は、アトミック操作を実現するためのアドレス空間である。

【0016】記憶装置1は、また、システムバスI/F3より出力されたマスタIDを一時記憶する保持手段としての保持部8と、システムバスI/F3より出力されたマスタIDと保持部8に一時記憶されたマスタIDとを比較する比較器9と、プロセッサのマスタIDを記憶保持し、システムバスI/F3より出力されたマスタIDに基づいてバスマスタがプロセッサかどうかを識別するマスタIDテーブル10とを備える。このマスタIDテーブル10は、各プロセッサのIDコードを格納するテーブルと、システムバスI/F3より出力されたマスタIDとテーブルに格納されたIDコードとの一致不一致を判定する回路とによって構成されている。

【0017】記憶装置1における各部の動作は次の通りである。記憶装置1は、マスタIDテーブル10からのプロセッサであることを示す出力信号と実メモリ空間へのアクセス要求がなされたことを示すデコーダ7からの出力信号との論理積をANDゲートAでとり、その結果のアクセス要求信号1を応答制御部4に送信する。つまり、アクセス要求信号1というのは、プロセッサにより実メモリアドレスへのアクセス要求がなされた場合に出力される再アクセス要求信号である。

【0018】また、記憶装置1は、アトミック操作開始アクセス要求がなされ、デコーダ7より疑似メモリ空間用のアクセスアドレス信号が出力された場合、アトミック操作開始信号を応答制御部4に送信する。これを受け、プロセッサ構成の応答制御部4は、記憶装置1の動作モードを通常モードからアトミック操作モードに移行させる。これにより、第1の認識手段の機能が実行され

る。

【0019】アトミック操作モードでは、アトミック操作開始アクセス要求を行ったバスマスタのマスタIDが保持部8に一時記憶され、後にメモリアクセス要求をするバスマスタのマスタIDは保持部8に一時記憶されたマスタIDと比較器9で比較され、メモリアクセス要求をしているバスマスタがアトミック操作開始アクセス要求を行ったバスマスタと同一であるという比較結果出力信号と疑似メモリ空間へのアクセス要求を示すデコーダ7からの出力信号との論理積がANDゲートBでとられ、その結果のアトミック操作終了信号が応答制御部4に送信される。これを受け、応答制御部4は、記憶装置1の動作モードをアトミック操作モードから通常モードに復帰させる。これにより、第2の認識手段の機能が実行される。

【0020】さらに、比較器9からのバスマスタがアトミック操作開始アクセス要求を行ったバスマスタと同一ではないという比較結果が出力された場合、その出力信号と疑似メモリ空間へのアクセス要求を示すデコーダ7からの出力信号との論理積がANDゲートCでとられ、その結果のアクセス要求信号2が応答制御部4に送信される。つまり、アクセス要求信号2というのは、疑似メモリ空間に対してアクセス要求するバスマスタがアトミック操作開始アクセス要求を行ったバスマスタと異なる場合に出力される再アクセス要求信号である。これにより、禁止手段の機能が実行される。

【0021】このように、本実施の形態の記憶装置1では、応答制御部4が各種の信号を受けて各種処理を行い、これにより、第1の認識手段、第2の認識手段、及び禁止手段の各機能が実行される。応答制御部4は、又、各種の信号に応じた応答信号をシステムバス2に出力する機能も果たす。

【0022】図3は、記憶装置1における動作の流れを示すフローチャートである。まず、システムバス2を通じてバスマスタよりメモリアクセス要求があると、デコーダ7の出力に基づくメモリ制御部6の判断によってアクセス空間の種類が判定される(ステップ1)。つまり、アクセス空間が実メモリ空間なのか疑似メモリ空間なのかそれ以外なのか判断される。この判断の基礎となるデコーダ7への入力情報は、バスマスタからのメモリアクセス信号に含まれているアクセスアドレス信号の上位ビットに割り当てられたアクセス空間情報である。

【0023】アクセス空間が実メモリ空間でも疑似メモリ空間でもない場合にはメモリアクセス要求が無視される(ステップ2)。アクセス空間が実メモリ空間である場合には、メモリ制御部6に実メモリ空間用のアクセスアドレス信号が出力され、メモリ制御部6の制御動作によってメモリ制御が行われる(ステップ3)。この時、メモリアクセス要求をするのがプロセッサであれば、ANDゲートAからのアクセス要求信号1が応答制御部4

に出力されるが、この時の動作モードが通常モードであれば応答制御部4は再アクセス要求を出力せずに、メモリ制御をしたという応答信号をシステムバス2に流す(ステップ4)。

【0024】アクセス空間が疑似メモリ空間である場合には、アクセス空間が実メモリ空間である場合のステップ3及び4と同様のメモリ制御及び応答の動作が行われ(ステップ5、6)、同時に、システムバス1/F3から出力されたマスタIDが保持部8に一時記憶される(ステップ7)。このマスタIDは、アトミック操作開始アクセス要求を行ったバスマスタであるプロセッサのIDである。そして、これらの処理と同時に、デコーダ7から出力されるアトミック操作開始信号が応答制御部4に入力され、全体の動作モードがアトミック操作モードに移行する。ここで、バスマスタからのメモリアクセス信号が疑似メモリ空間に対するものであるということは、複数のプロセッサの同期操作のために必要なアトミック操作がこれから行われるということを意味する。

【0025】アトミック操作モードでは、まず、システムバス2を通じてバスマスタよりメモリアクセス要求があると(ステップ8)、デコーダ7の出力に基づくメモリ制御部6の判断によってアクセス空間の種類が判定される(ステップ9)。つまり、アクセス空間が実メモリ空間なのか疑似メモリ空間なのかそれ以外なのか判断される。この判断の基礎となるデコーダ7への入力情報は、バスマスタからのメモリアクセス信号に含まれているアクセスアドレス信号の上位ビットに割り当てられたアクセス空間情報である。

【0026】アクセス空間が実メモリ空間でも疑似メモリ空間でもない場合にはメモリアクセス要求が無視される(ステップ10)。アクセス空間が実メモリ空間である場合には、メモリアクセス要求をしているバスマスタがプロセッサでないことを条件として(ステップ11)、メモリ制御部6に実メモリ空間用のアクセスアドレス信号が出力され、メモリ制御部6の制御動作によってメモリ制御が行われ(ステップ12)、応答制御部4によってメモリ制御をしたという応答信号がシステムバス2に流される(ステップ4)。これに対し、ステップ11でメモリアクセス要求をするのがプロセッサであると判定されれば、応答制御部4は再アクセス要求信号、つまり、リトライ応答をシステムバス2に流す(ステップ14)。ここで、メモリアクセス要求をするのがプロセッサかどうかは、ANDゲートAからのアクセス要求信号1が応答制御部4に出力されているかどうかで認識される。つまり、ANDゲートAは、プロセッサがメモリアクセス要求をする場合にのみアクセス要求信号1を出力するため、応答制御部4がアクセス要求信号1を受信すればバスマスタはプロセッサであることになり、そうでなければバスマスタはプロセッサでないことになる。

【0027】アクセス空間が疑似メモリ空間である場合には、マスタIDが比較される(ステップ15)。つまり、疑似メモリ空間に対してアクセス要求するバスマスタがアトミック操作開始アクセス要求を行ったバスマスタと同一であるかどうか判断される。より詳細には、アトミック操作開始アクセス要求を行ったバスマスタのマスタIDは保持部8に一時記憶されているため、これと疑似メモリ空間に対してアクセス要求をするバスマスタのマスタIDとが比較器9で比較され、その結果がANDゲートB又はCの出力として応答制御部4に送信され、この応答制御部4でバスマスタの同一性が判定される。つまり、マスタIDが一致する場合にはANDゲートBよりアトミック操作終了信号が応答制御部4に出力され、マスタIDが一致しない場合にはANDゲートCよりアクセス要求信号2が応答制御部4に出力される。

【0028】ステップ15でのマスタIDの比較処理の結果、ステップ16でマスタIDが同一でないと判定された場合には、ANDゲートCからのアクセス要求信号2に応じ、応答制御部4はステップ14のリトライ応答処理を行う。これに対し、ステップ16でマスタIDが同一であると判定された場合には、メモリ制御部6によりメモリ制御が行われ(ステップ17)、応答制御部4よりその旨の応答がシステムバス2に流される(ステップ18)。そして、動作モードが通常動作モードに復帰する。

【0029】このように、本実施の形態の記憶装置1によれば、アトミック操作開始アクセス要求が認識されて実行されるアトミック操作モード中は、アトミック操作開始アクセス要求をしたプロセッサ以外のプロセッサやデバイスのメモリアクセス要求が拒絶され、アトミック操作が正しく行われる(ステップ16参照)。この場合、システムバス2がロックされるわけではないので、他のプロセッサやプロセッサ以外のバスマスタのシステムバス2の使用が禁止されず、したがって、スプリット型のバスの利点が十分に生かされる。また、アトミック操作モード中でもプロセッサ以外のバスマスタのメモリアクセスが可能となり、効率良くメモリ5が使用される(ステップ11参照)。

【0030】本発明の第二の実施の形態を図4及び図5に基づいて説明する。第一の実施の形態と同一部分は同一符号で示し説明も省略する(以下、同様)。

【0031】図4のブロック図に示すように、本実施の形態では、応答制御部4にタイマ手段としてのタイマ21が設けられている。このタイマ21は、応答制御部4の制御下におかれ、応答制御部4にアトミック操作開始信号が入力されてからアトミック操作終了信号が入力されるまでのタイムアウト時間を計測する。そして、タイマ21がタイムアウトした場合には、応答制御部4はアトミック操作モードを強制終了させ、ここに強制終了手段の機能が実行される。

【0032】また、システムバスIF3からデコーダ7に送信出力されるアクセスアドレスを取り込んで一時記憶する保持部22が設けられ、その後システムバスIF3からデコーダ7に送信出力されたアクセスアドレスと保持部22に一時記憶されたアクセスアドレスとを比較する比較器23が設けられている。そして、ANDゲートAは、この比較器23の出力とデコーダ7より出力される実メモリ空間のアクセスアドレスとの論理積がアクセス要求信号1として応答制御部4に送信出力される。このため、本実施の形態では、マスタIDテーブル10が設けられていない。

【0033】図5は、処理の流れを示すフローチャートである。図3に示すフローチャートと同一部分は同一のステップ数で示し説明も省略する。まず、バスマスタのメモリアクセス要求におけるアクセス空間が疑似空間へのアクセスであると判定された後、メモリ制御(ステップ5)及び応答(ステップ6)に続いて行われるステップ7では、マスタIDの保持の他、対応する実メモリアドレスの保持が行われる。つまり、疑似メモリアドレスと解釈されるアクセスアドレスであっても、デコーダ7に入力されるまでのアクセスアドレスは実メモリアドレスであるので、このアドレスが保持部22に一時記憶されて保持される。

【0034】続いて、動作モードがアトミック操作モードに移行すると、タイマ21がタイムアウト時間を計測し、タイムアウトになるとアトミック操作モードが強制終了して通常モードに復帰する(ステップ21)。これにより、不適当なメモリアクセス要求によってアトミック操作が長時間にわたり不必要に継続されることによって起こりうるシステムのダウンが防止される。

【0035】続いて、ステップ9でのアクセス空間の判断の結果、メモリアクセス要求が実メモリ空間でも疑似メモリ空間でもない空間に対して行われた場合の処理(ステップ10)及び疑似メモリ空間に対して行われた場合の処理(ステップ15~18)については、第一の実施の形態と異なる点はないのでその説明は省略する。これに対し、メモリアクセス要求が実メモリ空間に対してなされた場合、その時のアクセスアドレスとステップ7で保持部22に一時記憶されたアクセスアドレスとの比較処理がなされる(ステップ22)。つまり、その時のアクセスアドレスとステップ7で保持部22に一時記憶されたアクセスアドレスとの比較器23による比較結果とデコーダ7より出力される実メモリ空間に対するメモリアクセス要求との論理積であるANDゲートAからのアクセス要求信号1が応答制御部4に送信出力されることで、応答制御部4による同一非同一の判定がなされる(ステップ23)。ここで、2つのアクセスアドレスが同一であるということは、アトミック操作モード中に送信された実メモリアドレス空間に対するメモリアクセス要求は、現在使用中の疑似メモリ空間に対するアクセ

スであるということになる。そこで、2つのアクセスアドレスが一致する場合にはリトライ応答（ステップ14）、不一致の場合にはメモリ制御（ステップ12）がそれぞれ行われる。これにより、アトミック操作開始アクセス要求のアクセスアドレスに対応する実メモリアドレスのメモリアクセス要求以外のメモリアクセス要求が許容され、これにより、効率よくメモリが使用されることになる。

【0036】本発明の第三の実施の形態を図6及び図7に基づいて説明する。本実施の形態は、図6のブロック図に示すように、システムバス3、応答制御部4、RAM5、メモリ制御部6、及びデコーダ7を備え、これらの各部の内容及び接続状態は第一の実施の形態と同様である。構成としては、システムバスI/F3からRAM5に送信されるデータのデータ線とメモリ制御部6との間に保持部31が介在接続され、この保持部31に零以外の数値が書き込まれる点で第一の実施の形態とは異なる。また、本実施の形態の記憶装置1では、メモリ制御部6が実行する機能として、疑似メモリ空間に対してリードアクセス要求がなされた場合、アクセスアドレスに対応する実メモリアドレスに対してリード操作し、続いて、保持部31に一時記憶された零以外の数値からなる書き込みデータ、例えば「-1」をもって同アドレスにライト操作を行う。

【0037】図7は、処理の流れを示すフローチャートである。本実施の形態では、メモリアクセスの受け付け後、ステップ1～4については第一の実施の形態と変わる点はなく、RAM5に対するライト・アンド・セットが実行される点に特色がある。つまり、ステップ1でメモリアクセス要求のアクセス空間が疑似空間であると判定され、ステップ31でそのメモリアクセス要求がリード・モディファイ・ライト・アクセス要求であると判定された場合（アトミック操作識別手段）、そのアクセスアドレスに対応する実メモリアドレスへの通常のリード操作を実現させるメモリ制御が行われる（ステップ32）。そして、アクセスを要求したバスマスタに応答が返されて返送手段の機能が実行され（ステップ33）、続いて同アドレスへの特定の書き込みデータ、例えば「-1」のライト操作を実現するメモリ制御が行われる（ステップ34）。これに対し、ステップ31で、メモリアクセス要求が疑似メモリ空間に対するライトアクセス要求であると判定されるとエラー処理がなされる（ステップ5）。このように、本実施の形態によれば、簡単な処理によってRAM5に対するライト・アンド・セットが実行される。

【0038】

【発明の効果】請求項1記載の発明は、バスを介して取り込まれたバスマスタからのメモリアクセス要求が実メモリ空間に対するものか疑似メモリ空間に対するものを識別し、通常モード時、メモリアクセス要求が疑似メ

メモリ空間に対するものと識別された場合にそのメモリアクセス要求をアトミック操作開始アクセス要求と認識し、アトミック操作開始アクセス要求を行ったバスマスタの識別子を記憶保持し、アトミック操作モード時、メモリアクセス要求をするバスマスタの識別子が記憶保持された識別子と一致する場合にそのメモリアクセス要求をアトミック操作終了アクセス要求と認識し、そうでない場合にはメモリアクセス要求を受け付けずにアクセス要求の再実行を要求するようにしたので、アトミック操作モード中、アトミック操作開始アクセス要求をしたプロセッサ以外のプロセッサやデバイスのメモリアクセス要求を拒絶してアトミック操作を正しく行わせることができ、この場合、バスがロックされるわけではないので、他のプロセッサやプロセッサ以外のバスマスタのバス使用を確保してスプリット型のバスの利点を十分に生かすことができる。

【0039】請求項2記載の発明は、メモリアクセスを要求するバスマスタがプロセッサかどうかを判定し、プロセッサでないと判定した場合にはメモリアクセスを許容するようにしたので、アトミック操作モード中でもプロセッサ以外のバスマスタのメモリアクセスが可能となり、効率良くメモリを使用することができる。

【0040】請求項3記載の発明は、メモリアクセス要求が疑似メモリ空間に対するものでなければ疑似メモリ空間に記憶保持されたデータが書き換えられないことに着目し、メモリアクセス要求が疑似メモリ空間に対する場合にのみメモリアクセス要求を受け付けないようにしたので、アトミック操作モード中でも実メモリ空間に対するメモリアクセスが可能となり、効率良くメモリを使用することができる。

【0041】請求項4記載の発明は、メモリアクセス要求が疑似メモリ空間に対するものでなければ疑似メモリ空間に記憶保持されたデータが書き換えられないことに着目し、アトミック操作開始アクセス要求のアクセスアドレスに対応する実メモリアドレスを記憶保持し、メモリアクセス要求がアトミック操作開始アクセス要求のアクセスアドレスに対応する実メモリアドレスに対する場合にのみメモリアクセス要求を受け付けないようにしたので、アトミック操作モード時、疑似メモリ空間に対するメモリアクセス要求となるようなメモリアクセス要求以外のメモリアクセス要求を許容し、これにより、効率よくメモリを使用することができる。

【0042】請求項5記載の発明は、アトミック操作開始アクセス要求がなされてからアトミック操作終了アクセス要求がなされるまでのタイムアウト時間をカウントするタイマ手段と、タイムアウト時間経過後は強制的にアトミック操作モードを終了させる強制終了手段とを備えるので、不適当なメモリアクセス要求によってアトミック操作が長時間にわたり不必要に継続されることによって起こりうるシステムのダウンを防止することができ

る。

【0043】請求項6記載の発明は、実メモリ空間と重ならないアドレス空間に実メモリが重複してみえるようにする疑似メモリ空間を生成し、バスを介して取り込まれたメモリアクセス要求のアクセスアドレス空間を識別し、疑似メモリ空間に対するメモリリードアクセス要求をリード・モディファイ・ライト・アクセス要求として識別し、リード・モディファイ・ライト・アクセス要求として識別されたメモリリードアクセス要求のアクセスアドレスに対応する実メモリアドレスを読み出し、零以外の数値を実メモリアドレスに対して書き込むと共に、メモリリードアクセス要求をしたバスマスタにリードデータを返送するようにしたので、簡単な処理によってメモリに対するテスト・アンド・セットを実行することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態を示すブロック図である。

【図2】メモリ空間を概念的に示す模式図である。

【図3】動作の流れを示すフローチャートである。

【図4】本発明の第二の実施の形態を示すブロック図である。

【図5】動作の流れを示すフローチャートである。

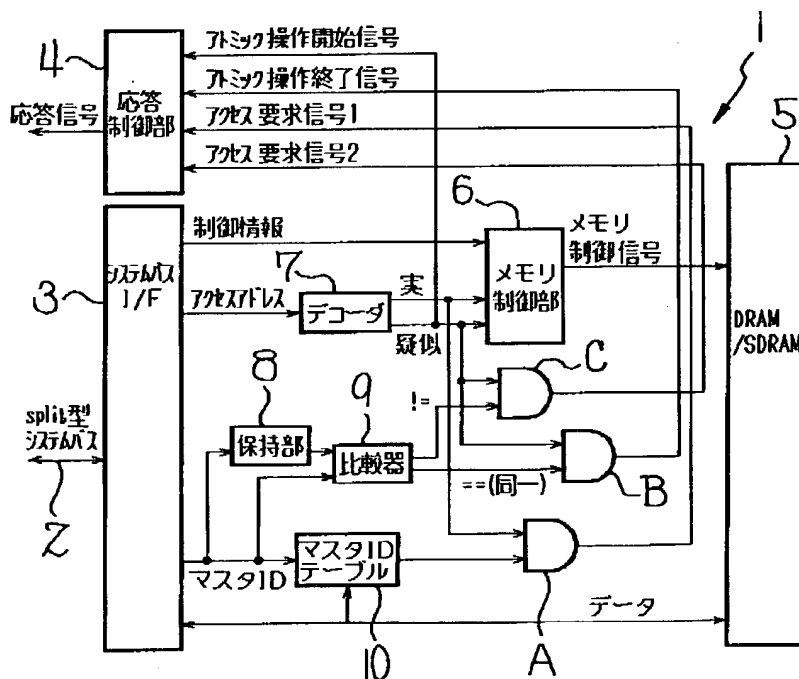
【図6】本発明の第三の実施の形態を示すブロック図である。

【図7】動作の流れを示すフローチャートである。

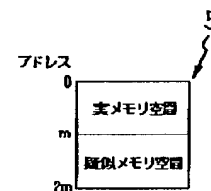
【符号の説明】

- 1 記憶装置
- 2 バス（システムバス）
- 7 デコード手段、識別手段
- 8 保持手段（保持部）
- 21 タイマ手段（タイマ）

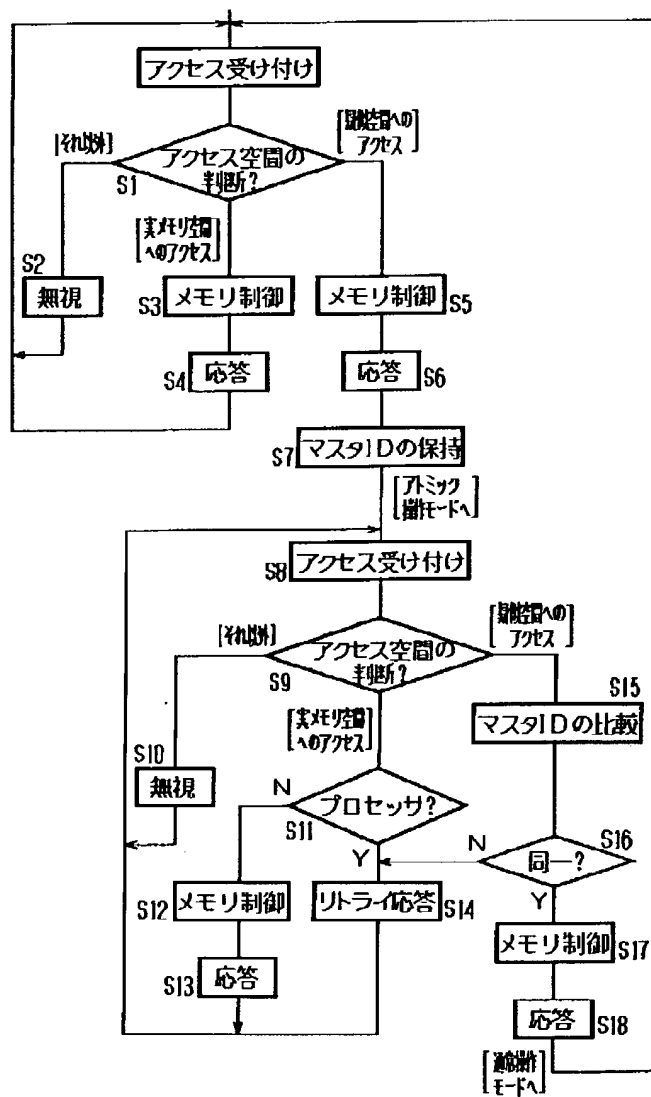
【図1】



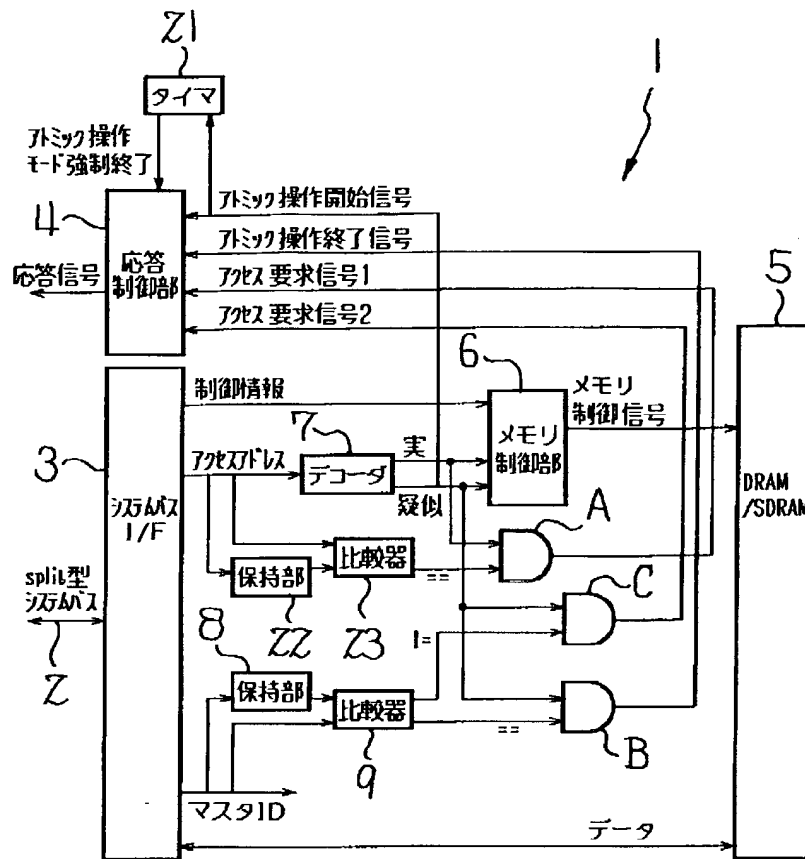
【図2】



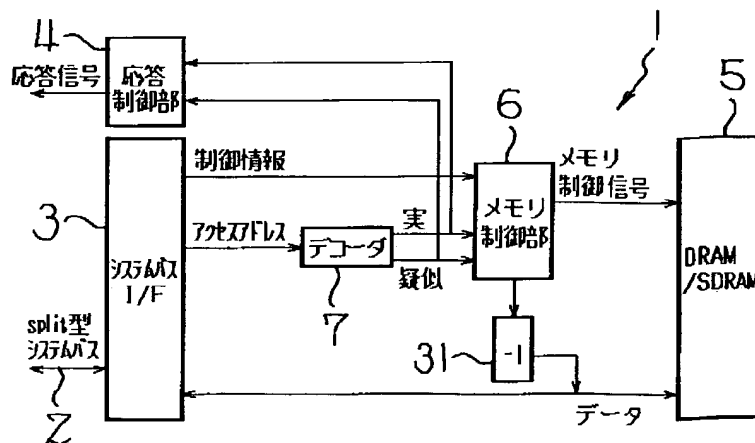
【図3】



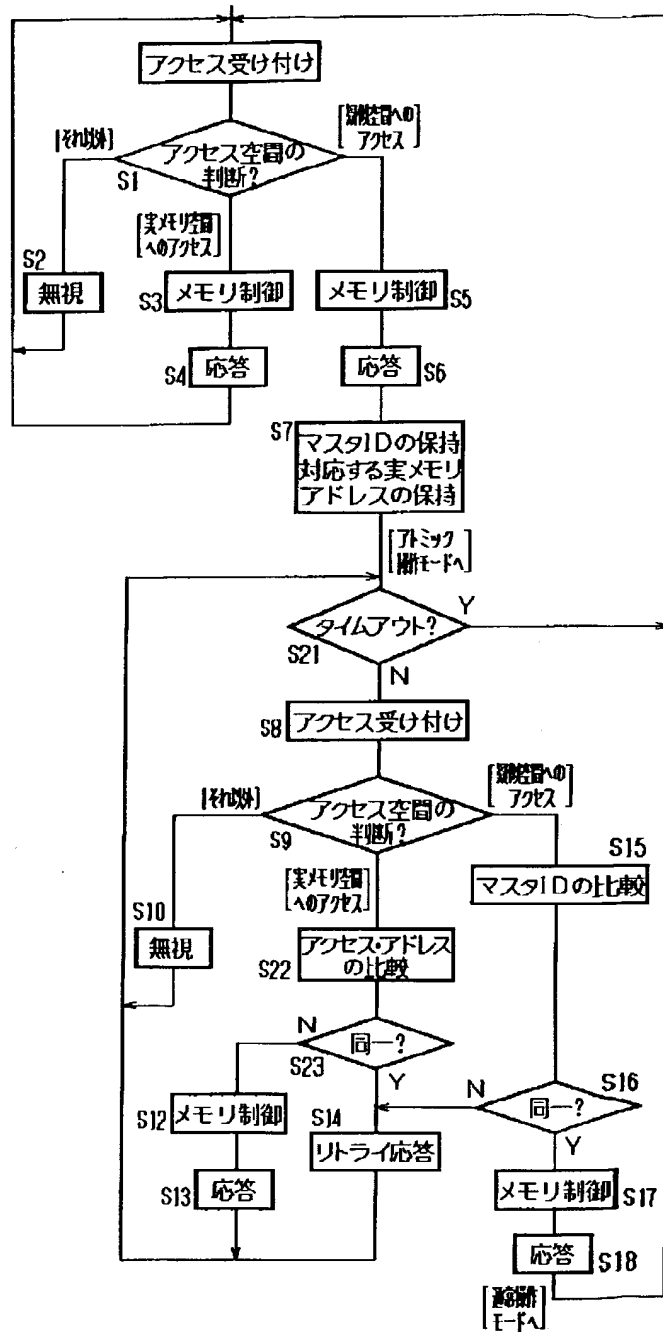
【図4】



【図6】



【図5】



【図7】

